

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Haruo Hyodo et al. Art Unit : Unknown
Serial No. : Examiner : Unknown
Filed : September 26, 2001
Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents
Washington, D.C. 20231

#3
J1040 U.S. PTO
09/963267
09/26/01

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):


· Japan Application No. 2000-308620 filed October 10, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: September 26, 2001


Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

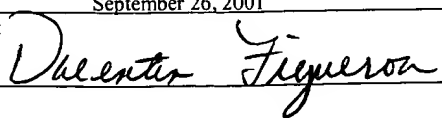
30067340.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF045065899US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit September 26, 2001


Signature

Valentin Figueroa
Typed or Printed Name of Person Signing Certificate

日本国特許庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
09/963267



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年10月10日

出願番号

Application Number:

特願2000-308620

出願人

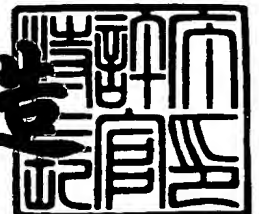
Applicant(s):

三洋電機株式会社

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073716

【書類名】 特許願

【整理番号】 KAA1000065

【提出日】 平成12年10月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/28

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
 社内

 【氏名】 兵藤 治雄

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
 社内

 【氏名】 木村 茂夫

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
 社内

 【氏名】 高野 靖弘

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東京事務所

【手数料の表示】

 【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁物より成る支持基板と、

該支持基板の表面に設けた導電パターンと該導電パターンと電氣的に接続され裏面に設けた外部接続端子と、

前記支持基板の前記導電パターン上に設けた回路素子と、

前記回路素子を覆い前記支持基板との間に気密中空部を形成して接着されたガラス板と、

前記ガラス板の接着面全面に塗布した接着樹脂とを具備することを特徴とする半導体装置。

【請求項 2】 前記接着樹脂は、遮光性接着樹脂であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記回路素子は、半導体素子あるいはヒューズ素子であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 表面に多数個の搭載部を形成した導電パターンを設け、裏面に外部接続端子を設けた支持基板を準備する工程と、

前記各搭載部に回路素子を固着する工程と、

前記回路素子を覆い前記支持基板との間に前記各搭載部毎に気密中空部を形成するガラス板の接着面全面に接着樹脂を塗布する工程と、

前記ガラス板と前記支持基板とを接着し、前記各搭載部毎に気密中空部を形成する工程と、

前記支持基板と前記ガラス板との接着部をダイシングして前記各搭載部毎に分離することを特徴とする半導体装置の製造方法。

【請求項 5】 前記接着樹脂は、遮光性接着樹脂であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は特に高周波用途の半導体素子および過電流保護機能を気密中空パッケージに収納した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

図9に従来の中空パッケージを用いた半導体装置の一例を示した。この電子部品は、セラミックなどからなるベース基板1、外部接続用のリード2、同じくセラミック等からなるキャップ3からなり、リード2の素子搭載部4表面に半導体チップ5を固着し、半導体チップ5とリード2とをボンディングワイヤ6で接続し、半導体チップ5をキャップ3が構成する気密空間7内部に封止したものである（例えば、特開平10-173117号）。

【0003】

斯かる部品を製造するときは、リード2をリードフレームの状態で供給し、該リードフレームに対して半導体チップ5をダイボンド、ワイヤボンドし、そしてリードフレーム下面にベース基板1を貼り付け、そしてリード2を挟むようにしてキャップ3をベース基板1に貼り付け、そしてリード2を切断、整形するという工程を経る。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置では、リードフレームに対してベース基板1とキャップ3を素子毎に貼り付けるので、製造工程が複雑であり、大量生産には向かないという課題があった。

【0005】

更に、半導体チップ5をセラミック等からなるキャップ3が構成する気密空間7内部に封止していたため、接着部の状態を外観検査において確認することができず、接着不良を起こした半導体装置を取り除くことが困難であるという課題があった。

【0006】

【課題を解決するための手段】

上記した各事情に鑑みて成されたものであり、本発明の半導体装置は、絶縁物

より成る支持基板と、該支持基板の表面に設けた導電パターンと該導電パターンと電氣的に接続され裏面に設けた外部接続端子と、前記支持基板の前記導電パターン上に設けた回路素子と、前記回路素子を覆い前記支持基板との間に気密中空部を形成して接着されたガラス板と、前記ガラス板の接着面全面に塗布した接着樹脂とを有することを特徴とする。

【 0 0 0 7 】

本発明の半導体装置は、好適には、前記回路素子を気密中空するのに用いられる前記ガラス板は、接着面全面に遮光性接着樹脂が塗布されることで、接着部の状態を外観検査において確認することができ、また、前記回路素子に光が直接あたることを防ぐことができ、前記回路素子の特性が変化することを避ける構造を有することを特徴とする。

【 0 0 0 8 】

上記した課題を解決するために、本発明の半導体装置の製造方法は、表面に多数個の搭載部を形成した導電パターンを設け、裏面に外部接続端子を設けた支持基板を準備する工程と、前記各搭載部に回路素子を固着する工程と、前記回路素子を覆い前記支持基板との間に前記各搭載部毎に気密中空部を形成するガラス板の接着面全面に接着樹脂を塗布する工程と、前記ガラス板と前記支持基板とを接着し、前記各搭載部毎に気密中空部を形成する工程と、前記支持基板と前記ガラス板との接着部をダイシングして前記各搭載部毎に分離する工程とを有することを特徴とする。

【 0 0 0 9 】

本発明の半導体装置の製造方法は、好適には、気密中空を形成する工程において、気密中空を形成する前記ガラス板の接着面全面にあらかじめ遮光性接着樹脂を塗布しておくことで、複数の半導体素子を一度に形成することができるため、製造工程が簡素であり、大量生産が可能であることを特徴とする工程である。

【 0 0 1 0 】

【発明の実施の形態】

以下に本発明の実施の形態について図面を参照しながら詳細に説明する。

【 0 0 1 1 】

図 1 は、本発明の半導体装置の 1 実施例を示す (A) 断面図、(B) 平面図である。大判基板 2 1 から分離された基板 2 1 a は、セラミックやガラスエポキシ等の絶縁材料からなり 1 0 0 ~ 3 0 0 μ m の板厚と、平面視で (図 1 (B) のように観測して) 長辺 \times 短辺が 2 . 5 mm \times 1 . 9 mm 程度の矩形形状を有している。基板 2 1 a は更に、表面側に第 1 主面 2 2 a を、裏面側に第 2 主面 2 2 b を各々具備し、これらの表面は互いに平行に延在する。柱状部 2 3 は基板 2 1 a の外周近傍を高さ 0 . 4 mm、幅が 0 . 5 mm 程度で取り囲むように設けられた環状の柱状部であり、柱状部 2 3 によって基板 2 1 a の中央部分を凹ませた凹部 2 4 を形成している。基板 2 1 a と柱状部 2 3 とは、各々別個に形成された部材を接着剤 3 7 で固着したものである。尚、基板 2 1 a と柱状部 2 3 とがあらかじめ一体化したものであっても良い。

【 0 0 1 2 】

基板 2 1 a の第 1 主面 2 2 a の表面は平坦に形成されており、その表面には金メッキなどの導電パターンによってアイランド部 2 6 と電極部 2 7、2 8 が形成されている。そして、基板 2 1 a のアイランド部 2 6 には例えばショットキーバリアダイオードや MOSFET 素子等の半導体チップ 2 9 がダイボンドされている。半導体チップ 2 9 の表面に形成した電極パッドと電極部 2 7、2 8 とがボンディングワイヤ 3 0 で接続されている。

【 0 0 1 3 】

基板 2 1 a の第 2 主面 2 2 b の表面には金メッキなどの導電パターンによって外部接続端子 3 2、3 3、3 4 が形成されている。更に電極部 3 2、3 3、3 4 には基板 2 1 a の第 1 主面 2 2 a から第 2 主面 2 2 b を貫通するビアホール 3 5 が設けられる。ビアホール 3 5 の内部はタングステン、銀、銅などの導電材料によって埋設されており、アイランド部 2 6 を外部接続端子 3 2 に、電極部 2 7 を外部接続端子 3 3 に、電極部 2 8 を外部接続端子 3 4 に各々電氣的に接続する。外部接続端子 3 2、3 3、3 4 は、その端部が基板 2 1 の端部から 0 . 0 1 ~ 0 . 1 mm 程度後退されている。また、電極部 2 7、2 8 のビアホール 3 5 上は平坦でないため、ボンディングワイヤ 3 0 は、各々電極部 2 7、2 8 のビアホール 3 5 上を避けて接続されているのが好ましい。外部接続端子 3 2、3 3、3 4 は

、あらかじめ大判基板 2 1 に形成されている。

【 0 0 1 4 】

凹部 2 4 内部を密閉空間とするため、板厚が 0. 1 ~ 0. 3 mm 程度の透明なガラス板 3 6 が蓋体として用いられる。ガラス板 3 6 は、大判基板 2 1 上に多数形成された凹部 2 4 を被覆するため、ガラス板 3 6 の接着面全面には、遮光性接着材 3 7 があらかじめ塗布されている。そして、凹部 2 4 形成する柱状部 2 3 の上部とガラス板 3 6 の接着面が接着することにより、半導体チップ 2 9 と金属細線 3 0 は完全に気密空間内に収納される。

【 0 0 1 5 】

ここで、遮光性接着樹脂 3 7 がガラス板 3 6 の接着面全面に塗布されることで、ガラス板 3 6 を透過した光が遮光性接着樹脂 3 7 で遮断され、凹部 2 4 内部の半導体チップ 2 9 等には、光が直接当たらない構造となっている。

【 0 0 1 6 】

半導体チップ 2 9 周辺は、ダイシングによって切断された柱状部 2 3 が取り囲み、更にその上部を切断されたガラス板 3 6 が密閉する。柱状部 2 3 と基板 2 1 a の第 1 主面 2 2 a とが、及び柱状部 2 3 とガラス板 3 6 とが接着剤 3 7 によって接着される。これによって半導体チップ 2 9 と金属細線 3 0 は凹部 2 4 が構成する気密空間内に収納される。基板 2 1 a、柱状部 2 3 及びガラス板 3 6 の外周端面は、ダイシングによって切断された平坦な切断端面となる。

【 0 0 1 7 】

上記した半導体装置は、実装基板上の電極パターンに対して外部接続電極 3 2、3 3、3 4 を対向接着する様にして実装される。

【 0 0 1 8 】

ここで、基板の上を樹脂層で被覆し、各搭載部に固着した半導体チップの各々を共通の樹脂層で被覆する場合の実施例について簡単に説明する。

【 0 0 1 9 】

製造工程における機械的強度を維持し得る板厚 2 0 0 ~ 3 5 0 μ m の基板上に搭載部を複数個分、例えば 1 0 0 個分を 1 0 行 1 0 列に縦横に配置した大判の基板を準備する。基板は、セラミックやガラスエポキシ等からなる絶縁基板である

。そして、各搭載部毎に半導体チップをダイボンドし、所定量のエポキシ系液体樹脂を滴下（ポッティング）し、すべての半導体チップを共通の樹脂層で被覆する。滴下した樹脂層を100～200度、数時間の熱処理（キュア）にて硬化させた後に、湾曲面を研削することによって樹脂層の表面を平坦面に加工する。研削にはダイシング装置を用い、ダイシングブレードによって樹脂層の表面が基板から一定の高さに揃うように、樹脂層表面を削る。この工程では、樹脂層の膜厚を0.3～1.0mmに成形する。前記ブレードには様々な板厚のものが準備されており、比較的厚めのブレードを用いて、切削を複数回繰り返すことで全体を平坦面に形成する。

【0020】

次に、図2は、ヒューズを用いた過電流保護装置の実施例を示す（A）断面図、（B）平面図である。基板51はセラミックやガラスエポキシ等の絶縁材料からなる。100～300 μ mの板厚と、平面視で（図2（B）のように観測して）長辺×短辺が2.5mm×1.9mm程度の矩形形状を有している。基板51は更に、表面側に第1主面52aを、裏面側に第2主面52bを各々具備する。柱状部53は基板51の外周近傍を高さ0.4mm、幅が0.5mm程度で取り囲むように設けられた環状の側部であり、柱状部53によって基板51の中央部分を凹ませた凹部54を形成している。基板51と柱状部53とは、各々別個に形成された部材を接着剤61固着したものである。尚、基板51と柱状部53とがあらかじめ一体化したものであっても良い。

【0021】

基板51の第1主面52aの表面は平坦に形成されており、その表面には金メッキなどの導電パターンによって電極部55、56が形成されている。電極部55、56間には例えば直径が30 μ mの金属細線57がワイヤボンドによって打たれている。金属細線57は純度99.99%の金線や、半田の細線等からなり、電極部55に1stボンドが打たれ凹部54の高さに収まる様な高さのワイヤループで電極部56に2ndボンドされる。

【0022】

基板51の第2主面52bの表面には金メッキなどの導電パターンによって外

部接続端子58、59が形成されている。更に電極部55、56の下部には基板51を貫通するビアホール60が設けられる。ビアホール60の内部はタングステンなどの導電材料によって埋設されており、電極部55を外部接続端子58に、電極部56を外部接続端子59に各々電氣的に接続する。外部接続端子58、59は、その端部が基板51の端部から0.01~0.1mm程度後退されている。また、電極部27、28のビアホール35上は平坦でないため、ボンディングワイヤ30は、各々電極部27、28のビアホール35上を避けて接続されているのが好ましい。

【0023】

凹部54内部を密閉空間とするため、板厚が0.1~0.3mm程度の透明なガラス板62が蓋体として用いられる。ガラス板62は、大判基板21上に多数形成された凹部54を被覆するため、ガラス板62の接着面全面には、遮光性接着材61があらかじめ塗布されている。そして、凹部54形成する柱状部53の上部とガラス板62の接着面が接着することにより、金属細線57は完全に気密空間内に収納される。

【0024】

ここで、遮光性接着樹脂61がガラス板62の接着面全面に塗布されることで、ガラス板62を透過した光が遮光性接着樹脂61で遮断され、凹部54内部の金属細線57等には、光が直接当たらない構造となっている。

【0025】

上記した過電流保護装置は、実装基板上の電極パターンに対して外部接続電極58、59を対向接着する様にして実装される。外部接続端子58、59間に定格以上の過電流が流れたとき、該過電流は金属細線57を流れ金属細線57の固有抵抗によって急激な温度上昇をもたらす。この発熱により、金属細線57が溶断して過電流に対する保護機能を果たす。上記の直径30 μ mの金(Au)線であれば、ワイヤ長、約0.7mmの場合、溶断電流は約4A(1~5秒)となる。多くの場合、放熱性と抵抗の関係から電極部55、56に近い箇所よりは、金属細線57の真中近傍で溶断する。このとき、溶断箇所が樹脂などの他の素材に接していないので、外観上で、装置が発火、発煙、変色、変形することがない装

置を得ることが出来る。また、金属細線 27 が溶断することによって、過電流時に端子間が完全にオープンとなる素子とすることが出来る。

【0026】

尚、ヒューズ素子としては、金属細線の他に電極部 55、56 を形成する導電パターンの一部をくさび状に幅狭にして連続させたものや、ポリシリコン抵抗体を固着すること等によっても形成することが出来る。要は溶断箇所が凹部 54 内に収納されていればよい。また、凹部 54 内部は大気中で密閉するが、例えば窒素雰囲気等の不燃性ガスを充填することも可能である。

【0027】

上記したように、本発明の半導体装置は、半導体チップ 29、ボンディングワイヤ 30 等を気密中空するのに透明なガラス板 36 を用いることで、ガラス板 36 と柱状部 23 との接着部の状態を外観検査において確認することができる。また、ガラス板 36 の接着面には、遮光性接着樹脂 37 が全面に塗布されているため、ガラス板 36 を透過した光が凹部 24 内に入射し、半導体チップ 29 等に直接当たり、半導体チップ 29 等の特性が劣化することを抑制することができる。

【0028】

更に、本発明の半導体装置では、柱状部 23 およびガラス板 36 を用いることで中空構造を形成することができ、基板 21a 上にダイボンドされた半導体チップ 29 等は、中空部である凹部 24 が構成する気密空間内に収納される。そのことにより、基板 21a 上を樹脂層で被覆し、搭載部に固着した半導体チップ 29 を樹脂層で被覆する場合と比べて、材料コストを大幅に低減することができる。

【0029】

更に、本発明の半導体装置では、柱状部 23 およびガラス板 36 を用いることで中空構造を形成することができ、中空構造の蓋体としてガラス板 36 を用いるため半導体素子の表面の平坦化をする工程を必要としないため、基板 21a 上を樹脂層で被覆し、搭載部に固着した半導体チップ 29 を樹脂層で被覆する場合と比べて、製造コストを大幅に低減することができる。

【0030】

更に、基板 21a には、第 1 主面 22a から第 2 主面 22b を貫通するビアホ

ール 3 5 が設けられる。そして、ビアホール 3 5 の内部はタングステン、銀、銅などの導電材料によって埋設されており、アイランド部 2 6 を外部接続端子 3 2 に、電極部 2 7 を外部接続端子 3 3 に、電極部 2 8 を外部接続端子 3 4 に各々電氣的に接続し、内部の素子と前記外部接続端子とを電氣的に接続することができ、基板 2 1 a から外部に導出されるリードを必要としないため、プリント基板上へ実装したときにその実装面積を大幅に低減することができる。

【 0 0 3 1 】

以下に図 1 に示した本発明の第 1 の実施例を詳細に説明する。

【 0 0 3 2 】

第 1 工程：図 3 (A) 参照

先ず、大判の基板 2 1 を準備する。大判基板 2 1 はセラミックやガラスエポキシ等の絶縁材料からなり、 $100 \sim 300 \mu\text{m}$ の板厚を具備する。大判基板 2 1 は更に、表面側に第 1 主面 2 2 a を、裏面側に第 2 主面 2 2 b を各々具備する。符号 2 3 は高さ $0.1 \sim 0.5 \text{ mm}$ 、幅が $0.25 \sim 0.5 \text{ mm}$ 程度の一定幅で設けられた格子状の柱状部であり、柱状部 2 3 によって基板 2 1 の中央部分を凹ませた凹部 2 4 を形成している。基板 2 1 と柱状部 2 3 とは、あらかじめ一体化成形され、柱状部 2 3 を含めて上記した板厚となっている。尚、基板 2 1 と柱状部 2 3 とを個別に形成して接着固定したものを準備しても良い。

【 0 0 3 3 】

凹部 2 4 は、例えば 1 つの大きさが約 $0.8 \text{ mm} \times 0.6 \text{ mm}$ の大きさを持ち、基板 2 1 に縦横に等間隔で配置されている。凹部 2 4 の第 1 主面 2 2 a には多数組のアイランド部 2 6 と電極部 2 7、2 8 が金メッキなどの導電パターンにより描画されている。各凹部 2 4 とその周囲を囲む第 2 基板 2 1 b の柱状部 2 3 の一部が素子搭載部 4 1 を構成することになる。

【 0 0 3 4 】

第 2 工程：図 3 (B) 参照

この様な基板 2 1 を準備した後、各凹部 2 4 毎に、アイランド部 2 6 に半導体チップ 2 9 をダイボンドし、ボンディングワイヤ 3 0 をワイヤボンドする。そして、半導体チップ 2 9 にワイヤボンドしたボンディングワイヤ 3 0 の片側は、電

極部 2 7、2 8 に接続される。このときのボンディングワイヤ 3 0 のループ高さは、柱状部 2 3 の高さ以下に収まる高さとする。

【 0 0 3 5 】

第 3 工程：図 4 (A)、(B) 参照

板厚が 0. 1 ～ 0. 3 mm 程度の透明なガラス板 3 6 を準備し、ガラス板 3 6 の接着面全面に遮光性接着樹脂 3 7 を塗布する。そして、ガラス板 3 6 は、例えば、大判基板 2 1 と柱状部 2 3 とを用いることで形成される複数の凹部 2 4 を含めた搭載部 4 1 上に気密中空構造を構成する蓋体として接着される。これによって半導体チップ 2 9 とボンディングワイヤ 3 0 は完全に気密空間内に収納される。このとき、上記したように、ガラス板 3 6 には、全面に遮光性接着樹脂 3 7 が塗布されているため、一度に大量の半導体素子を形成することができる。

【 0 0 3 6 】

ここで、大判基板 2 1 と柱状部 2 3 とは、後から柱状部 2 3 を接着してもいいし、あらかじめ一体となって形成されていても良い。また、大判基板 2 1 を掘削することによって凹部 2 4 を形成しても良い。

【 0 0 3 7 】

その後、柱状部 2 3 とガラス板 3 6 とが接着不良を起こしているかどうかを目視によるチェックが行われる。

【 0 0 3 8 】

第 4 工程：図 4 (C) 参照

そして、基板 2 1 表面に形成した合わせマークを基準にして、各搭載部 4 1 毎に分割して図 5 に示したような個別の装置を得る。分割にはダイシングブレード 4 2 を用い、基板 2 1 の裏面側にダイシングシートを貼り付け、基板 2 1 とガラス板 3 6 とをダイシングライン 4 3 に沿って縦横に一括して切断する。尚、ダイシングライン 4 3 は柱状部 2 3 の中心に位置する。また、ダイシングシートをガラス板 3 6 側に貼り付けて第 2 主面 2 2 b 側からダイシングしても良い。

【 0 0 3 9 】

以下に、図 1 に示した本発明の第 2 の実施例を説明する。柱状部 2 3 を個別部品として構成した場合である。

【0040】

第1工程：図6（A）参照

先ず、平板状の大判の基板21を準備する。大判基板21はセラミックやガラスエポキシ等の絶縁材料からなり、100～300 μ mの板厚を具備する。大判基板21は更に、表面側に第1主面22aを、裏面側に第2主面22bを各々具備する。第1主面22aの表面には多数組のアイランド部26と電極部27、28が金メッキなどの導電パターンにより描画されている。アイランド26と電極部27、28の周囲を囲む領域が素子搭載部41を構成し、該素子搭載部41が等間隔で縦横に多数個配置される。

【0041】

第2工程：図6（B）参照

この様な基板21を準備した後、各素子搭載部41毎に、アイランド部26に半導体チップ29をダイボンドし、ボンディングワイヤ30をワイヤボンドする。そして、半導体チップ29にワイヤボンドしたボンディングワイヤ30の片側は、電極部27、28に接続される。このときのボンディングワイヤ30のループ高さは、凹部24深さ以下に収まる高さとする。

【0042】

第3工程：図7（A）参照

ダイボンド、ワイヤボンドが終了した基板21に対して、素子搭載部41に対応する箇所に凹部24（貫通穴）を持つ第2基板21aを第1主面22a表面に接着固定する。接着にはエポキシ系等の接着剤を用いる。

【0043】

凹部24は例えば1つの大きさが約0.8mm×0.6mmの大きさを持ち、第2基板21bに縦横に等間隔で配置されている。凹部24と凹部24との間には、柱状部23が高さ0.1～0.2mm、幅が0.2～0.5mm程度の一定幅で格子状に取り囲む。これで凹部24にアイランド26、半導体チップ29、電極パット27、28等が露出し、これで図3（B）の状態と等価になる。この手法であれば、平板状の基板21に対してダイボンド、ワイヤボンドが出来るので、吸着コレットやボンディングツールと柱状部23との接触がなく、凹部24

の寸法を縮小できる。

【 0 0 4 4 】

第 4 工程：図 7 (B)、(C) 参照

板厚が 0.1～0.3 mm 程度の透明なガラス板 36 を準備し、ガラス板 36 の接着面全面に遮光性接着樹脂 37 を塗布する。そして、ガラス板 36 は、例えば、大判基板 21 と柱状部 23 とを用いることで形成される複数の凹部 24 を含めた搭載部 41 上に気密中空構造を構成する蓋体として接着される。これによって半導体チップ 29 とボンディングワイヤ 30 は完全に気密空間内に収納される。このとき、上記したように、ガラス板 36 には、全面に遮光性接着樹脂 37 が塗布されているため、一度に大量の半導体素子を形成することができる。

【 0 0 4 5 】

その後、柱状部 23 とガラス板 36 とが接着不良を起こしているかどうかを目視によるチェックが行われる。

【 0 0 4 6 】

第 5 工程：図 8 (A) 参照

そして、基板 21 表面に形成した合わせマークを基準にして、各搭載部 41 毎に分割して図 8 (B) に示したような個別の装置を得る。分割にはダイシングブレード 42 を用い、基板 21 の第 2 主面 22 b 側にダイシングシートを貼り付け、基板 21、第 2 基板 21 b、及びガラス板 36 とをダイシングライン 43 に沿って縦横に一括して切断する。尚、ダイシングライン 43 は柱状部 23 の中心に位置する。また、第 2 主面 22 b 側からダイシングする構成でも良い。

【 0 0 4 7 】

【発明の効果】

上記したように、本発明の半導体装置によれば、半導体チップ、ボンディングワイヤ等を気密中空するのに透明なガラス板を用いることで、ガラス板と柱状部との接着部の状態を外観検査において確認することができる。また、ガラス板の接着面には、遮光性接着樹脂が全面に塗布されているため、ガラス板を透過した光が凹部内に入射し、半導体チップ等に直接当たり、半導体チップ等の特性が劣化することを抑制することができる。

【 0 0 4 8 】

更に、本発明の半導体装置の製造方法によれば、気密中空構造を形成するガラス板の接着面全面にあらかじめ遮光性接着樹脂が塗布されているため、基板と柱状部とで形成される多数の凹部に一度に接着することができるので、製造コストが大幅に低減することができ、また、大量生産をすることができる。

【図面の簡単な説明】

【図 1】

本発明を説明するための (A) 断面図、(B) 平面図である。

【図 2】

本発明を説明するための (A) 断面図、(B) 平面図である。

【図 3】

本発明を説明するための (A) 斜視図、(B) 斜視図である。

【図 4】

本発明を説明するための (A) 断面図、(B) 斜視図、(C) 斜視図である。

【図 5】

本発明を説明するための斜視図である。

【図 6】

本発明を説明するための (A) 斜視図、(B) 斜視図である。

【図 7】

本発明を説明するための (A) 斜視図、(B) 断面図、(C) 斜視図である。

【図 8】

本発明を説明するための (A) 斜視図、(B) 斜視図である。

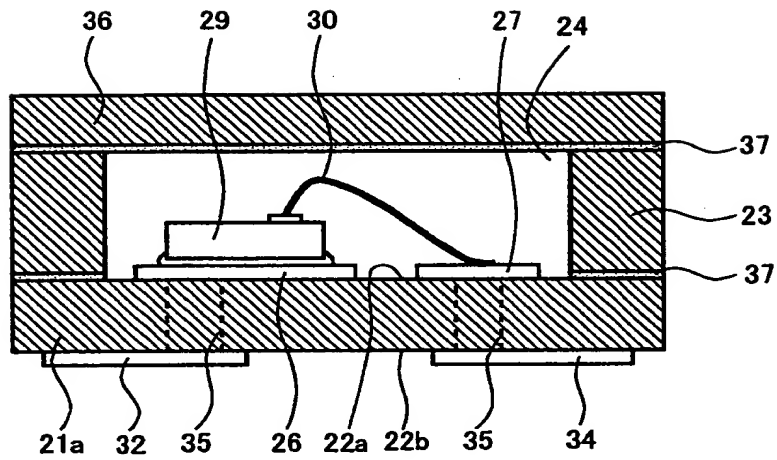
【図 9】

従来例を説明するための (A) 断面図、(B) 平面図である。

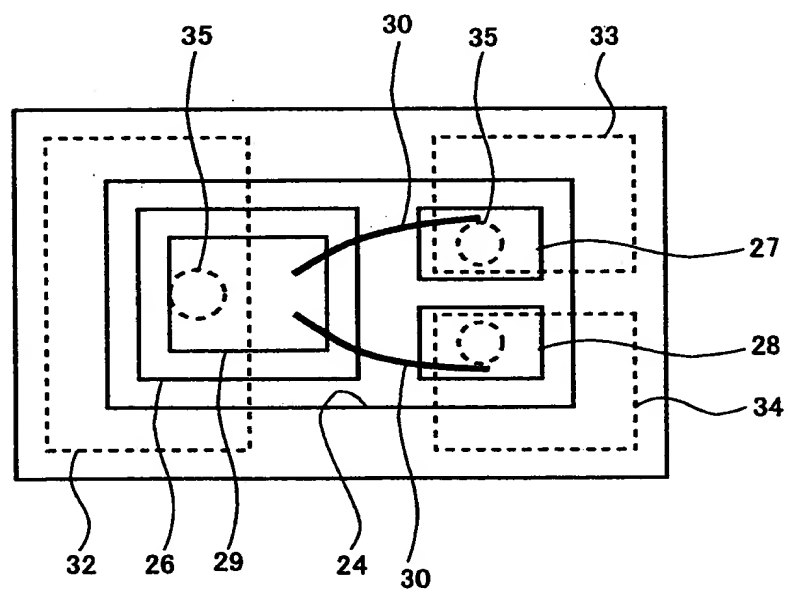
【書類名】 図面

【図 1】

(A)

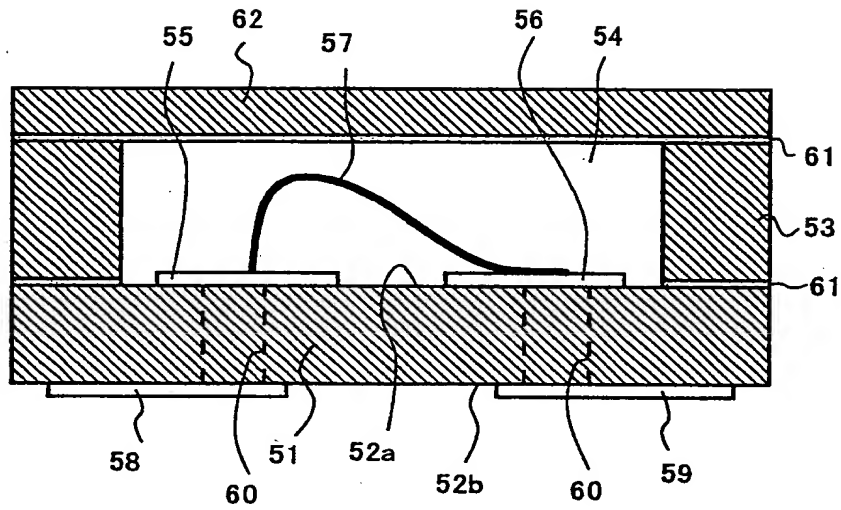


(B)

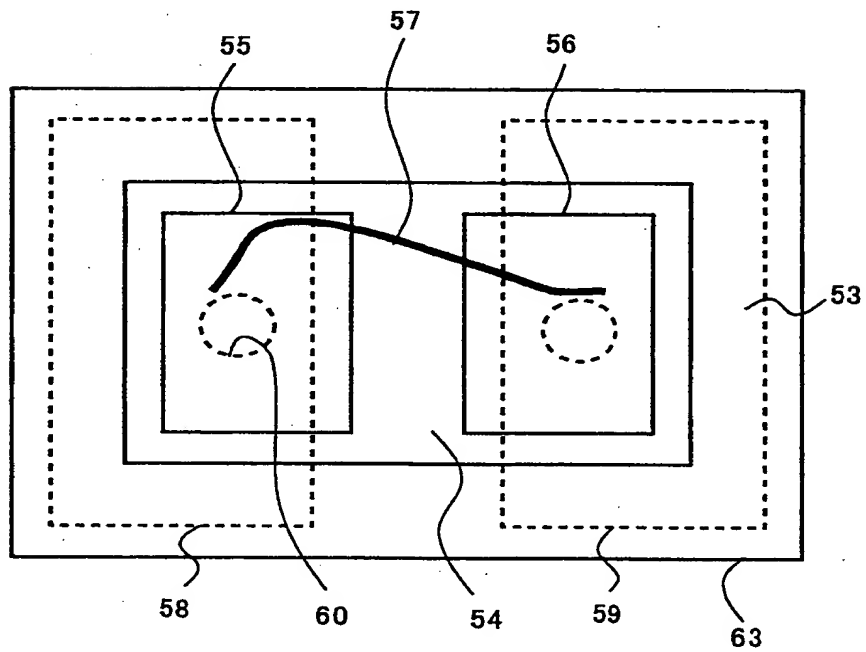


【図 2】

(A)

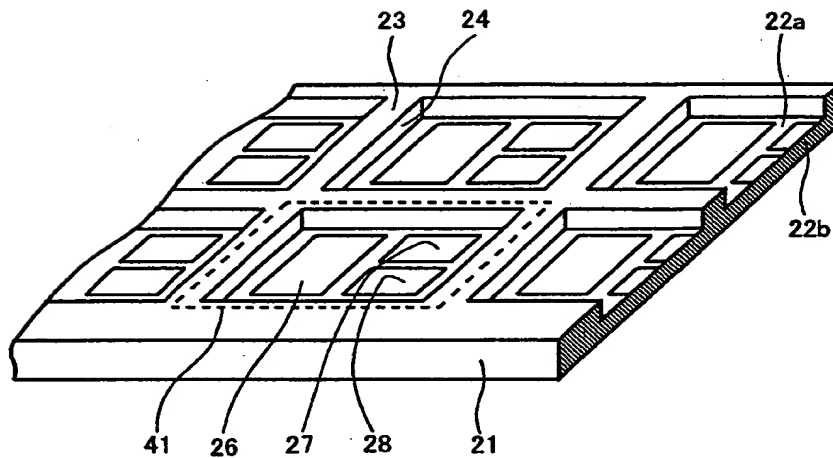


(B)

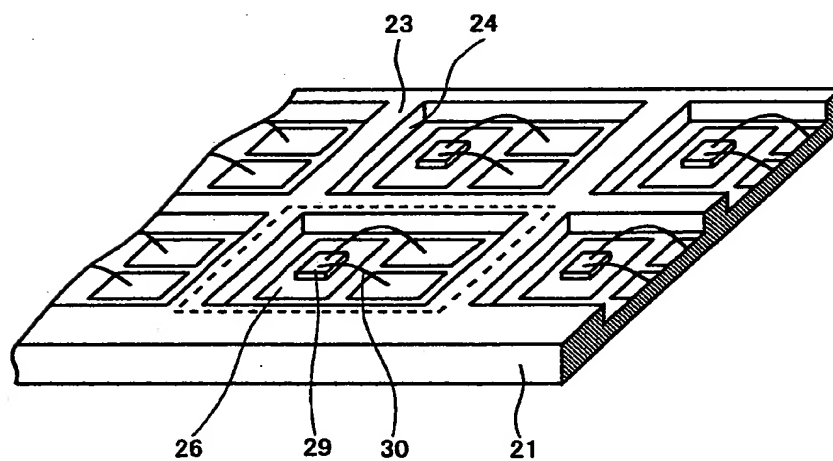


【図 3】

(A)

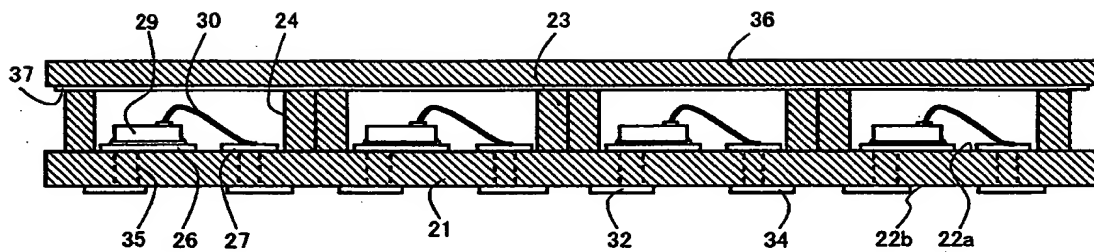


(B)

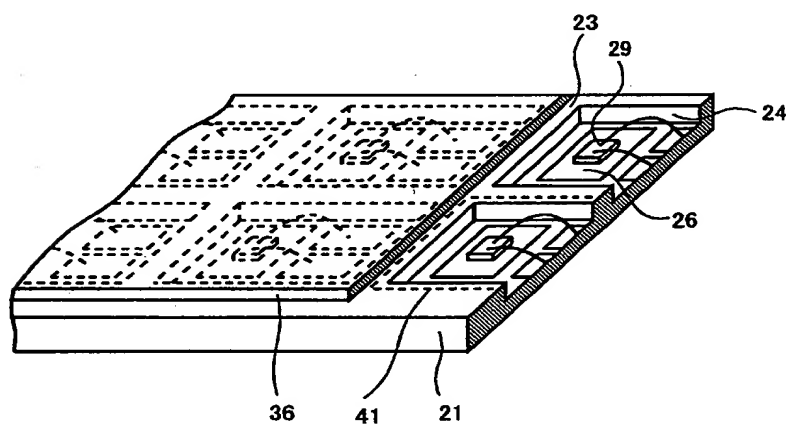


【図 4】

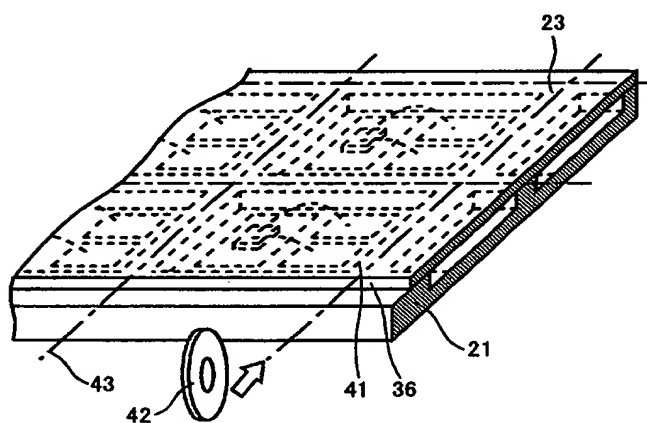
(A)



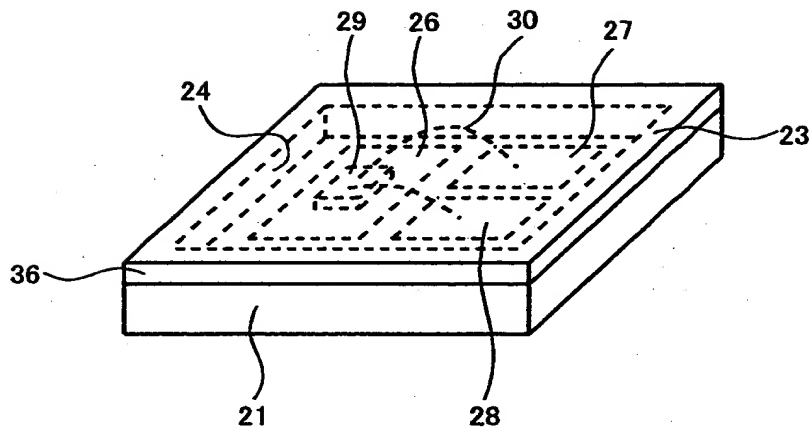
(B)



(C)

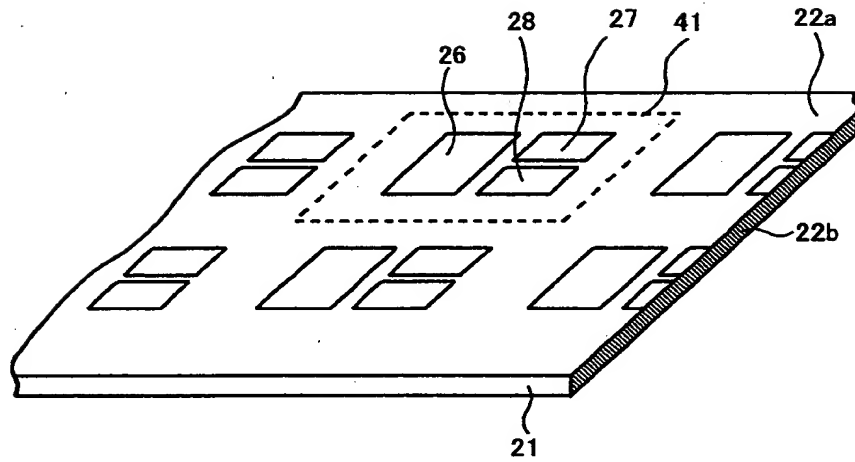


【図 5】

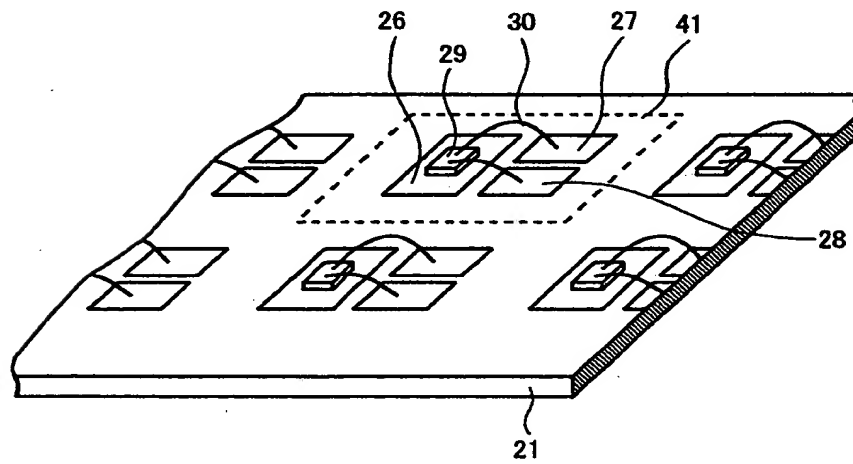


【図 6】

(A)

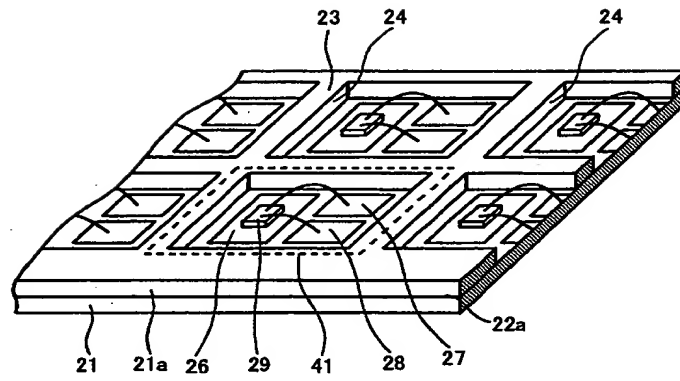


(B)

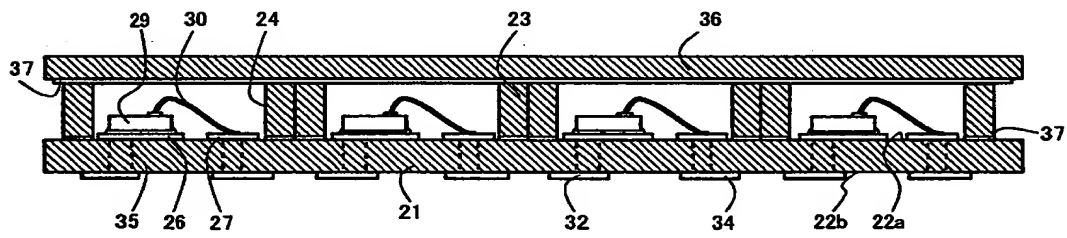


【図 7】

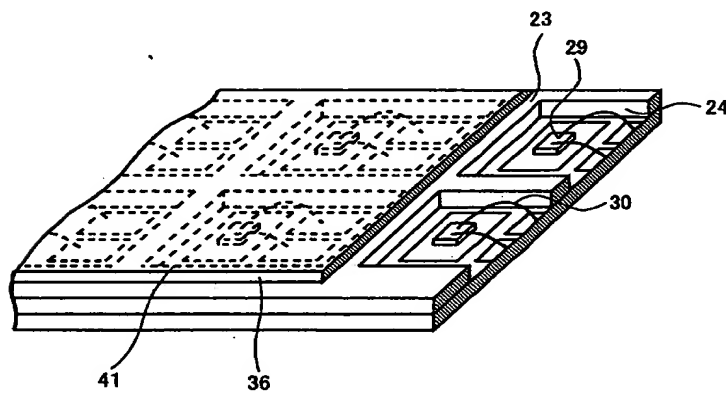
(A)



(B)

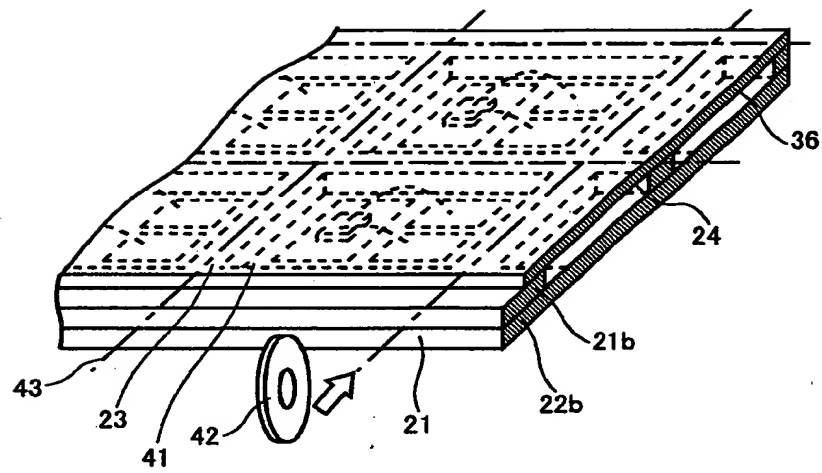


(C)

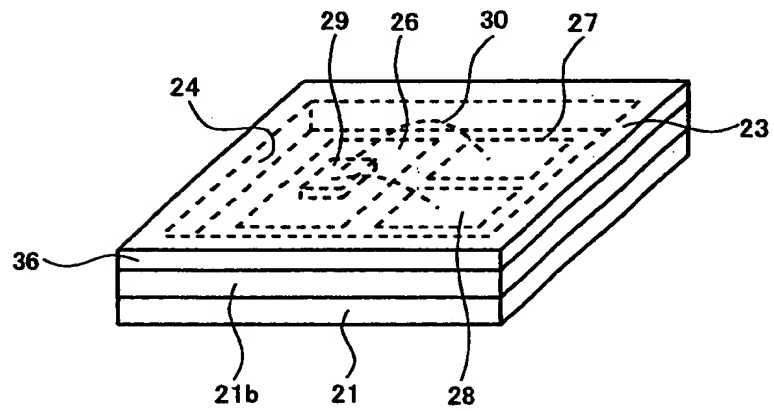


【図 8】

(A)

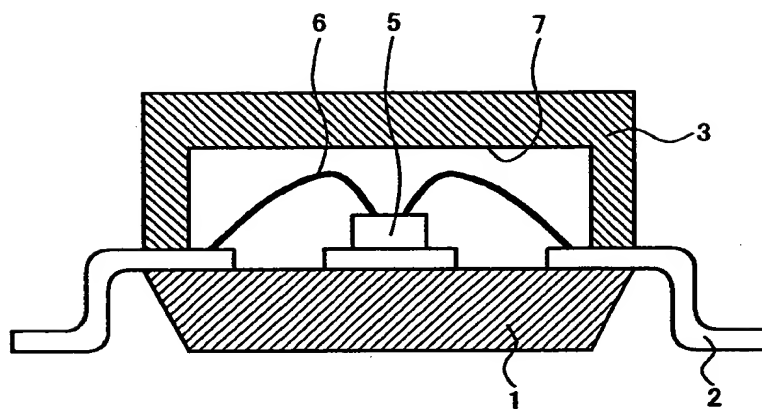


(B)

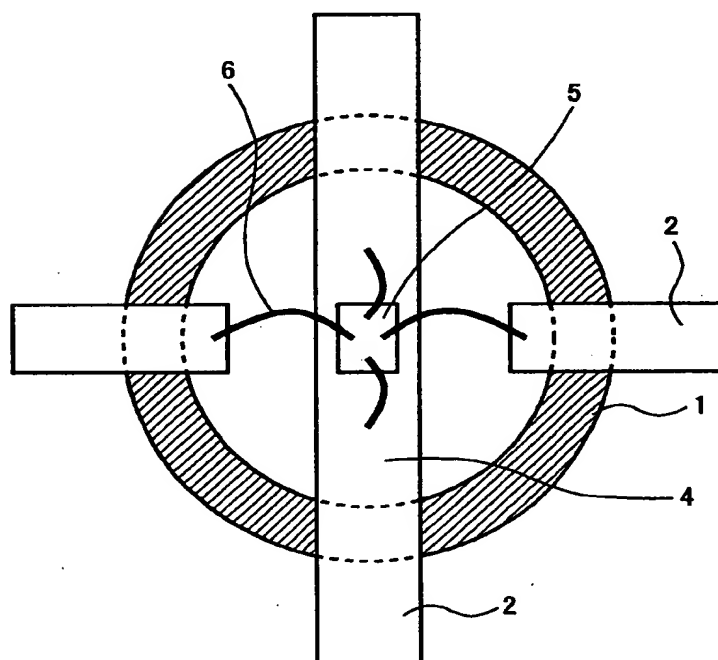


【図 9】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 本発明は特に高周波用途の半導体素子を気密中空パッケージに収納した半導体装置において、気密中空パッケージの蓋体としてガラス板を用いた半導体装置およびその製造方法に関する。

【解決手段】 本発明では、基板 2 1 a の表面側に第 1 主面 2 2 a を具備する。第 1 主面 2 2 a にはアイランド部 2 6 が形成され半導体チップ 2 9 等が固着される。半導体チップ 2 9 等は、柱状部 2 3 および透明なガラス板 3 6 により中空密閉される。そして、柱状部 2 3 とガラス板 3 6 とは、エポキシ系樹脂から成る遮光性接着樹脂で接着されるが、このことにより、半導体チップ 2 9 に光が直接当たることを防ぐことができ、半導体チップ 2 9 の特性劣化を抑制することができる半導体装置およびその製造方法を提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社